

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2002-518851

(P2002-518851A)

(43) 公表日 平成14年6月25日 (2002. 6. 25)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 29/80		H 0 1 L 29/06	6 0 1 D 5 F 1 0 2
29/06	6 0 1	29/66	S
29/66		29/80	A

審査請求 未請求 予備審査請求 有 (全 28 頁)

(21) 出願番号 特願2000-555300(P2000-555300)
 (86) (22) 出願日 平成11年6月18日 (1999. 6. 18)
 (85) 翻訳文提出日 平成12年12月19日 (2000. 12. 19)
 (86) 国際出願番号 P C T / G B 9 9 / 0 1 9 4 0
 (87) 国際公開番号 W O 9 9 / 6 6 5 6 2
 (87) 国際公開日 平成11年12月23日 (1999. 12. 23)
 (31) 優先権主張番号 9 8 1 3 1 4 2 . 8
 (32) 優先日 平成10年6月19日 (1998. 6. 19)
 (33) 優先権主張国 イギリス (GB)
 (81) 指定国 EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, I T, LU, MC, NL, PT, SE), CN, GB, J P, KR, US

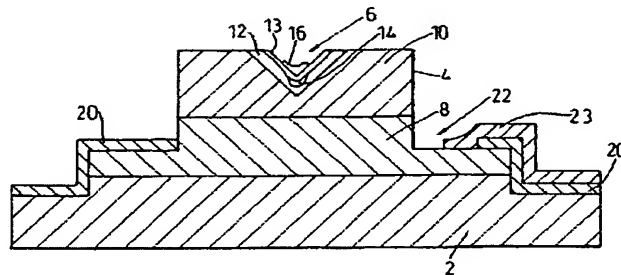
(71) 出願人 イギリス国
 イギリス国 ハンプシャー ジュー14
 0 エルエックス ファーンボロー ディフ
 エンス エヴァリュエーション アンド
 リサーチ エージェンシー
 (72) 発明者 ジェファーソン ジョン ヘンリー
 イギリス国 ウスターシャー ダブリュー
 アール14 3 ピーエス マルヴァーン セ
 ント アンドリュース ロード ディー
 アールエイ マルヴァーン (番地なし)
 (74) 代理人 弁理士 中村 稔 (外9名)

最終頁に続く

(54) 【発明の名称】 量子ワイヤー電界効果トランジスタ及びその製造方法

(57) 【要約】

少なくとも第1の半導体層からなり、より広いバンドギャップの第2の半導体層 (12、13) によって取り囲まれ、ソース電極 (24) とドレイン電極 (26) との間に伸びている、少なくとも1つの、一次元の細長い導電手段 (14) と、細長い導電手段内の導通を制御するバックゲート構造 (8、23) とを備えている量子ワイヤー電界効果トランジスタ。このトランジスタは、2つの隣接するゲート電極 (16、18) が細長い導電手段上に配置され、その中に量子ドット (17) を誘起させるような単一電子トランジスタ (SET) であることができ、またGaAsである第1の半導体層材料と、AlGaAsである第2の半導体層材料とを用いて製造することができる。このトランジスタを製造する方法は、第2の半導体層 (12) で裏張りされた溝 (6) の底に細長い導電手段を優先的に成長させるステップを含む。



【特許請求の範囲】

【請求項 1】 少なくとも第 1 の半導体によって形成されている少なくとも 1 つの、実質的に一次元の細長い導電手段を有するトランジスタであって、上記導電手段は、第 2 の半導体によって実質的に取り囲まれ且つソース電極とドレイン電極との間に伸びており、上記細長い導電手段のある領域内に少なくとも 1 つのさらなる電極が設けられていることを特徴とするトランジスタ。

【請求項 2】 上記導電手段は、溝の底領域内に形成されていることを特徴とする請求項 1 に記載のトランジスタ。

【請求項 3】 基体内に形成されている溝を備え、上記溝は、上記溝の側上に設けられて上記溝を裏張りしている第 2 の半導体の領域を有していることを特徴とする請求項 1 または 2 に記載のトランジスタ。

【請求項 4】 上記導電手段は上記第 2 の半導体の底領域内の上記第 1 の半導体の細長い領域からなり、上記第 2 の半導体の底領域は上記裏張りされた溝の底領域または上記溝の底領域であることを特徴とする請求項 2 または 3 に記載のトランジスタ。

【請求項 5】 上記第 1 の半導体及び上記基体は、実質的に同一の材料であることを特徴とする請求項 4 に記載のトランジスタ。

【請求項 6】 上記細長い導電手段上に、第 3 の半導体の層が設けられていることを特徴とする請求項 4 または 5 に記載のトランジスタ。

【請求項 7】 上記第 3 の半導体の層は、上記第 2 の半導体と実質的に同一の材料であることを特徴とする請求項 6 に記載のトランジスタ。

【請求項 8】 上記第 1 の半導体の厚みの揺らぎが、クーロン閉塞を与えるようになっていることを特徴とする先行請求項の何れか 1 つに記載のトランジスタ。

【請求項 9】 上記溝は、メサ構造のトップ領域内に設けられていることを特徴とする請求項 2 に直接的に、または間接的に従属する何れかの請求項に記載のトランジスタ。

【請求項 10】 1 つより多くの導電手段が設けられていることを特徴とする先行請求項の何れか 1 つに記載のトランジスタ。

【請求項 1 1】 上記導電手段のある領域に沿って量子ドットが設けられていることを特徴とする先行請求項の何れか 1 つに記載のトランジスタ。

【請求項 1 2】 上記少なくとも 1 つのさらなる電極は、使用中に、閉じ込めを与えて上記量子ドットを形成するようになっていることを特徴とする請求項 1 1 に記載のトランジスタ。

【請求項 1 3】 上記導電手段に沿って複数の量子ドットが設けられていることを特徴とする請求項 1 1 または 1 2 に記載のトランジスタ。

【請求項 1 4】 上記 1 つのまたは複数の電極は、上記導電手段内の電荷キャリアのための三次元閉じ込めを与えるように配列され、二次元内のハード閉じ込めが上記導電手段内に電荷キャリアを保持することを特徴とする先行請求項の何れか 1 つに記載のトランジスタ。

【請求項 1 5】 上記 1 つのまたは複数の電極は、上記導電手段を実質的に横切っていることを特徴とする先行請求項の何れか 1 つに記載のトランジスタ。

【請求項 1 6】 上記 1 つのまたは複数の電極は、使用中に、上記導電手段の上記第 1 の半導体のエネルギーバンド内にピークを生じさせることができることを特徴とする先行請求項の何れか 1 つに記載のトランジスタ。

【請求項 1 7】 上記導電手段の一部は、三日月形断面を有していることを特徴とする先行請求項の何れか 1 つに記載のトランジスタ。

【請求項 1 8】 上記第 1 の半導体は、ガリウム砒素 (GaAs) であることを特徴とする先行請求項の何れか 1 つに記載のトランジスタ。

【請求項 1 9】 上記第 2 の半導体は、アルミニウムガリウム砒素 (AlGaAs) であることを特徴とする先行請求項の何れか 1 つに記載のトランジスタ。

【請求項 2 0】 上記トランジスタは、単一電子トランジスタであることを特徴とする先行請求項の何れか 1 つに記載のトランジスタ。

【請求項 2 1】 トランジスタを製造する方法であって、第 1 の半導体からなる実質的に一次元の細長い導電手段を設け、上記導電手段を第 2 の半導体材料によって実質的に取り囲むステップと、上記導電手段の第 1 の端領域にソース電極を設け、上記導電手段の第 2 の端領域にドレイン電極を設けるステップと、上記導電手段のある領域内に少なくとも 1 つのさらなるゲート電極を設けるステッ

プとを含むことを特徴とする方法。

【請求項 2 2】 基体内に溝を設けるステップを含むことを特徴とする請求項 2 1 に記載の方法。

【請求項 2 3】 異方性エッチングを遂行することによって、上記溝を設けることを特徴とする請求項 2 2 に記載の方法。

【請求項 2 4】 上記溝は、上記基体上に成長された n^+ 表層内に設けられることを特徴とする請求項 2 2 または 2 3 の何れか一方に記載の方法。

【請求項 2 5】 上記溝は、上記 n^+ 表層のトップ領域内に設けられている p^- ドープされた領域内に設けられることを特徴とする請求項 2 4 に記載の方法。

【請求項 2 6】 上記溝は、第 2 の半導体を用いて裏張りされていることを特徴とする請求項 2 2 乃至 2 5 の何れか 1 つに記載の方法。

【請求項 2 7】 上記第 1 の半導体は、上記裏張りされた底領域内に成長されることを特徴とする請求項 2 6 に記載の方法。

【請求項 2 8】 上記基体及び上記第 1 の半導体は、実質的に同一の材料である請求項 2 7 に記載の方法。

【請求項 2 9】 上記第 1 の材料は、GaAsであることを特徴とする請求項 2 1 乃至 2 8 の何れか 1 つに記載の方法。

【請求項 3 0】 上記第 2 の半導体は、AlGaAsであることを特徴とする請求項 2 1 乃至 2 9 の何れか 1 つに記載の方法。

【請求項 3 1】 上記溝は、上記溝の壁が実質的に上記半導体の (1 1 1) 面に沿って横たわるように配列されていることを特徴とする請求項 2 1 乃至 3 0 の何れか 1 つに記載の方法。

【請求項 3 2】 上記細長い導電手段上に、第 3 の半導体の層が設けられていることを特徴とする請求項 2 7 に直接的に、または間接的に従属する何れかの請求項に記載の方法。

【請求項 3 3】 上記第 3 の半導体の層は、実質的に上記第 2 の半導体と同一の材料であることを特徴とする請求項 3 2 に記載の方法。

【請求項 3 4】 上記方法は、上記導電手段の製造ステップ内のプロセス変

化に頼って上記導電手段内に量子ドットを設けることを特徴とする請求項 2 1 乃至 3 3 の何れか 1 つに記載の方法。

【請求項 3 5】 上記基体内の上記溝は、上記半導体の複数の面から僅かに離軸して形成されていることを特徴とする請求項 2 2 に直接的に、または間接的に従属する何れかの請求項に記載の方法。

【請求項 3 6】 上記量子ドットは、上記離軸した溝によって生ずる上記導電手段の厚みの変化の付近において、上記導電手段に沿って設けられていることを特徴とする請求項 3 5 に記載の方法。

【請求項 3 7】 上記トランジスタは、単一電子トランジスタ（S E T）であることを特徴とする請求項 2 1 乃至 3 6 の何れか 1 つに記載の方法。

【請求項 3 8】 基体半導体内の溝であって、上記溝の底領域内に設けられている第 1 の半導体と、上記溝に関連付けて設けられている少なくとも一つの電極とを有していることを特徴とする溝。

【請求項 3 9】 第 1 の半導体からなり、第 2 の半導体によって実質的に取り囲まれている細長い導電手段を製造する方法であって、上記方法は、基体半導体内に溝を形成するステップと、上記溝の底領域内に第 1 の半導体を堆積させるステップとを含み、上記方法は更に、上記導電手段を通る電荷キャリアの流れを制御するようになっている電極を上記導電手段に関連付けて設けるステップを含むことを特徴とする方法。

【発明の詳細な説明】

【0001】

(発明の分野)

本発明は、トランジスタのための改善された構造、及びこのようなトランジスタを製造する方法に関する。

【0002】

(従来技術)

過去20年以上にわたって、電流キャリアの1またはそれ以上方向への運動を束縛することによって動作する半導体デバイスに多くの関心が寄せられてきた。これらのデバイスにおいては、キャリアは、一次元またはそれ以上の次元内の離散したセットのエネルギーレベルまたはサブバンドだけを占めることができる。キャリアのこの運動を、閉じ込めの方向における量子化であるという。

【0003】

バンドギャップが異なる2つの半導体配合物を互いに結合することによって形成されたヘテロ接合においては、キャリアはある電位または量子ウェルに閉じ込められる。もしキャリアが電子であれば、二次元電子ガスが形成される（もしくは、もし多数キャリアが正孔であれば、二次元正孔ガスが形成される）。

【0004】

典型的にGaAsで製造された1つの特定の型の半導体デバイスは、1987年に発明された単一電子トランジスタ（SET）である。このデバイスでは、二次元電子ガスは外部ゲートによって更に閉じ込められ、数個の（典型的には0乃至20個の）電子だけを保持できるようなサイズのいわゆる量子ドットを形成する。更に、一旦この数が固定されると（外部接触電位によって）、それは時間に伴って1電子より多くは揺らがない。

【0005】

伝統的にこれらのデバイスは、それらを機能させることができる物理現象のために、低温（典型的には、液体窒素温度より低い）で動作させることに限られていた。これらのデバイスは、量子ドットが小さい容量を有し、電子を追加または除去するのに必要なエネルギーが極めて大きいことに頼っている。もしデバイスを

低温に冷却すれば、電子熱エネルギーは充電エネルギーよりも小さくなる。大きいソース・ドレイン電圧バイアスを印加しない限り、電子は量子ドットを通して走行することはできない。即ち、ドットの容量は、1個の電子を電位ウェルに追加すると静電エネルギーが大きく増加する程小さい。これはクーロン閉塞として知られており、量子ドット内の N 及び $N+1$ 個の電子のエネルギーがほぼ同一である1つの値を除いて、全てのゲート電圧について電流の流れを抑圧する。

【0006】

現在目指しているのは、量子デバイスの動作温度を高めることである。これを達成する1つの方法は、構造を精密にパターン化してエッチングし、二次元電子ガスを更に閉じ込めることである。しかしながら、これは、従来のリソグラフィ及びエッチングによって実現できるよりも遙かに小さい寸法と、大きい寸法均一性を必要とする。当分野に精通していれば、実質的に $0.1\mu\text{m}$ の標準光学リソグラフィ機能サイトを使用すると、実質的に $\pm 0.3\mu\text{m}$ の位置合わせ（レジストレーション）が達成できることは理解されよう。電子ビームリソグラフィへ移行させると、機能サイズは 30nm まで減少し、 100nm の位置合わせが達成される。

【0007】

（発明の概要）

本発明の第1の面によれば、少なくとも1つの、実質的に一次元の細長い導電手段を有するトランジスタが提供される。この導電手段は、少なくとも第1の半導体によって形成される。第1の半導体は、第2の半導体によって実質的に取り囲まれており、ソース電極とドレイン電極との間に伸びている。また上記細長い導電手段の領域内に、少なくとも1つのさらなるゲート電極が設けられる。

【0008】

このようなトランジスタは、今までに達成できたよりも遙かに小さいスケールの電子の閉じ込めを与えることができるという長所を有している。トランジスタは単一電子トランジスタ（SET）であることができる。当分野に精通していれば、これは、より高い温度で動作するSETを製造することによって基本的に重要であることが理解されよう。ドットの寸法を減少させることによって、ドット

の容量を減少させることができる。電子ガスは、導電手段によって二次元内に“ハード”閉じ込めされる。

【 0 0 0 9 】

導電手段は、溝の底領域内に設けることができる。この技術によれば、導電手段をリソグラフィ技術で可能であるよりも小さい寸法で製造することができる。

【 0 0 1 0 】

第1の半導体は、ガリウム砒素 (GaAs) であることができる。第2の半導体は、アルミニウムガリウム砒素 (AlGaAs) であることができる。当分野に精通していれば、これらの材料が比較的良好に格子マッチし、適当に大きいバンドギャップ差を有していることから、これらが特に適する材料であることが理解されよう。しかしながら、他の材料システムも同じように可能である。例えば、アンチモン化インジウム (InSb) は、多分ガリウム砒素 (GaAs) と共に、または多分窒化アルミニウム (AlN) と共に適する材料であり得る。

【 0 0 1 1 】

一実施の形態では、溝が基体内に形成される。基体は、第1の半導体と同一の材料であることができ、溝を裏張りするために溝のベースと溝の側とに設けられている第2の半導体の領域を有している。導電手段は、第2の半導体の底領域内の、即ち裏張りされた溝の底領域内の、第1の半導体の細長い領域からなることができる。第3の半導体の層を、第1の半導体のトップに設けることができる。これは、二次元ハード閉じ込めを与える都合よい構造を提供する。当分野に精通していれば、この構造は、上述した材料システムと共に使用できることが理解されよう。第2及び第3の半導体は、実質的に同一であることができ、第1の半導体を第2の半導体で取り囲む都合のよい方法を提供する。

【 0 0 1 2 】

酸化防止層を、第3の半導体層に関連付けて（例えば、第3の層のトップに）設けて第3の半導体層の酸化を防ぐことができる。酸化防止層は、第1の半導体と同一の材料であることができる。即ち、酸化防止層はGaAsであることができる。

【 0 0 1 3 】

溝で裏張りされた第2の半導体の底内の第1の半導体（多分、GaAs）の領域は、量子ワイヤーと考えることができる。もしこのワイヤーが十分に短く、不純物を包含しなければ、一次元導電を表す量子化導電ステップを見ることができる。しかしながら、ワイヤーの厚みに揺らぎを与えるとクーロン閉塞を生じさせることができる。このクーロン閉塞が、単一の電子トランジスタ動作を行わせる。量子化導電が発生するような実施の形態においては、トランジスタ動作は、ワイヤーを1つまたはそれ以上の量子ドットに隔離するためのゲート構造を設けることによって達成することができる。実際に、多重量子ドットを達成するために、多重ゲートを設けることができる。当分野に精通していれば、従来技術のトランジスタが一般に二次元または三次元導電手段を有していることが理解されよう。本説明においては、一次元導電手段は、面またはボックスとしてではなく、ワイヤーとして考えることができる。

【0014】

好ましくは、基体から突き出たメサ構造のトップ領域内に溝を設け、 v 溝を基体から隔離する都合のよい方法を提供する。

【0015】

1つより多くの導電手段を設けることができる。これらは、実質的に水平方向に、そして多分互いに実質的に平行に並べて設けることができる。代替として、または付加的に、これらは互いに実質的に垂直方向に設けることができる。実際に、導電手段の二次元格子を設けることができる。1つより多くの導電手段を設けると、以下のものを含む多くの長所を有することができる。即ち、デバイスの最大電流取扱い能力を増加させることができ、製造プロセス／使用材料内の欠陥に対する許容差を増加させることができ（当分野に精通していれば、結晶成長及びデバイス処理中に欠陥が発生すること、1つより多くの導電部材を設けることによってこれらの欠陥に対する許容差を増加させ得ることは理解されよう）、光子相互作用のようなランダムイベントの許容差も増加させることができる。

【0016】

当分野に精通していれば、ゲート電極は、導電手段内にソフト閉じ込めを与えること、及び量子ドットを効果的に作ることが理解されよう。導電手段に沿って

複数の量子ドットを設けることができる。複数のドットは、多くの理由から有利であり得る。例えば、一連のドットでトランジスタを形成させた場合、トランジスタの性能は最小寸法を有するドットによって支配されることが解っている。当分野に精通していれば、複数の連に製造された複数の量子ドットの寸法は、位置合わせ許容差に起因して僅かに異なること、従ってトランジスタの総合性能を向上させ得ること（デバイスの1つが、予測したより小さいことがあり得る）が理解されよう。更に、シフトレジスタと同じように機能する（電子が各量子ドットを通してクロックされる）デバイスを形成することができる。

【 0 0 1 7 】

複数連のドットは、複数のゲート電極によって設けることができる。単一の量子ドットを設けるためには、1対の電極が必要であり得る。この電極対は、導電手段内の電荷キャリアを三次元内に閉じ込めるように配列することができる。即ち、電極は、導電手段を実質的に横切ることができる。各電極は、外部バイアスを印加しなければ電荷キャリアがピークを横切ることができないような、導電手段の半導体のエネルギーバンド内にピークを生じさせることができる。

【 0 0 1 8 】

トランジスタのための電荷キャリアのソースを与えるように、電極に加えてバックゲートを設けることができる。バックゲートは、トランジスタが製造される基体のある領域をドーピングすることによって設けることができる。

【 0 0 1 9 】

代替として、またはバックゲートを設けることに加えて、トランジスタのための電荷キャリアを与えるために、変調ドーピングの領域を設けることができる。

【 0 0 2 0 】

導電手段の一部分は、第3の半導体であることができる三日月形の断面を有することができる。第3の半導体は、実質的に10 nm乃至60 nmの範囲内の、多分実質的に20 nm乃至50 nmの範囲内の、そして多分30 nm乃至40 nmの範囲内の幅を有することができる。第3の半導体は、実質的に1乃至10 nmの、多分実質的に3乃至7 nmの最大厚みを有することができる。

【 0 0 2 1 】

導電手段を設けるために使用する材料は、実質的に少なくとも 0.3 e V 、多分少なくとも 0.5 e V 、または多分少なくとも 1 e V のバンドギャップ差を有することができる。

【 0 0 2 2 】

本発明の第2の面によれば、トランジスタを製造する方法が提供される。本方法は、第1の半導体の細長い領域を第2の半導体によって実質的に取り囲むことによって、実質的に一次元の細長い導電手段を設けるステップと、導電手段の第1の端領域にソース電極を設け、導電手段の第2の端領域にドレイン電極を設けるステップと、導電手段のある領域内に少なくとも1つのさらなるゲート電極を設けるステップとを含んでいる。

【 0 0 2 3 】

このような方法は、従来達成できたよりもより良い動作特性を有する（例えば、動作温度を高くすることができる、等）トランジスタを提供することができるので有利である。トランジスタは、単一電子トランジスタ（S E T）であることができる。

【 0 0 2 4 】

本方法は、基体内に溝を形成することを含むことができる。この溝は、異方性エッチングによって形成することも、硫黄／過氧化物エッチングを使用することもできる。

【 0 0 2 5 】

第1の半導体内に溝をエッチングする前に、基体上に n^+ 表層を成長させることができる。溝は、この表層内に形成することができる。表層は、実質的に $5\text{ }\mu\text{ m}$ の厚みを有することができる。表層は、トランジスタへ電荷キャリアを与えるバックゲートを構成するので有利である。

【 0 0 2 6 】

代替では、そして多分好ましい実施の形態では、 n^+ 表層のトップ領域内に p^- ドーパされた領域を成長させ、溝はこの p^- ドーパされた領域内に形成される。溝内に形成されたワイヤーはより容易に n^+ 表層から絶縁することができ、従って n^+ 表層とワイヤーとの間の短絡を防ぐのを援助するので、これは多分好まし

い。

【 0 0 2 7 】

溝は、第2の半導体で裏張りすることができる。第1の半導体は、裏張りされた溝の底領域内に設けることができる。第1の半導体をカバーする第3の半導体を設けることができる。これらのステップは、第2及び第3の半導体によって取り囲まれた第1の半導体から細長い導電手段（ワイヤー）を設けることを可能にする。これらのステップを使用する長所は、従来技術の方法を使用するよりも導電手段の寸法を小さくできることである。

【 0 0 2 8 】

基体及び第1の半導体は、実質的に同一の材料であることができる。第2及び第3の半導体は、実質的に同一の材料であることができる。この構造は、2つの隣接するヘテロ接合が導電手段を取り囲み、キャリアを導電手段内にハード閉じ込め、即ち二次元内のハード閉じ込めを形成するので有利である。

【 0 0 2 9 】

当分野に精通していれば、もしGaAs/AlGaAs材料システムを使用するのであれば、AlGaAs上にGaAsを堆積させる場合、GaAsが(001)面に拡散するために、GaAsが(001)面上に優先的に堆積することが理解されよう。本方法は、第2の半導体を実質的に溝の底領域内だけに成長するように、基体内に溝を配列することを含むことができる。これは、溝のベースが実質的に(001)面内に伸びるように配列することからなる。当分野に精通していれば、これは、他の材料の若干の面上へ1つの材料の優先的堆積を呈する何等かの材料システムを用いて可能であることが理解されよう。しかしながら、第1の材料をGaAsとすることができ、第2の材料をAlGaAsとすることができる。基体はGaAsであることができる。溝は、溝の壁が実質的に半導体の(111)面に沿って横たわるように配列することができる。

【 0 0 3 0 】

標準パターン化及びエッチング技術を使用して達成されるよりも小寸法の第1の半導体を形成できることが、本方法の長所である。従って、この方法を使用して、二次元内にハード閉じ込めを得ることが可能である。従来は、

二次元閉じ込めを与える（または増加させる）ゲート電極を使用しなければ不可能であった。

【 0 0 3 1 】

さらなる層、即ち酸化防止層を第3の半導体層上に設けて、第3の半導体層の酸化を防ぐことができる。酸化防止層は、第1の半導体と同一材料であることができる。

【 0 0 3 2 】

本方法は、導電手段の製造ステップ内のプロセス変化に頼って量子ドットを得ることができる。当分野に精通していれば、どのようなデバイス製造プロセス内にもプロセス変化が存在することは理解されよう。これらの変化は、導電手段の厚みに若干の変化をもたらし、量子ドットを形成させる。

【 0 0 3 3 】

一実施の形態においては、基体内の溝は、所望の面から僅かに離軸されて形成される。これにより導電手段の厚みに鋸刃状変化が生じ、導電手段の長さに沿って量子ドットを作ることができる。当分野に精通していれば、形成する溝の離軸の程度が鋸刃の周期を決定することが理解されよう。

【 0 0 3 4 】

(0 0 1) 面に対する溝のベースの傾斜を数度までに、例えば、実質的に0 - 10°、または0 - 6°、または0 - 3°、または0 - 1°の範囲内、または2°に選択することができる。

【 0 0 3 5 】

本発明の第3の面によれば、基体内に溝が設けられ、溝の底領域内には第1の半導体が設けられ、また少なくとも1つの電極が溝に関連付けて設けられる。

【 0 0 3 6 】

この構造は、多くの電子デバイスに有用であり得る。

【 0 0 3 7 】

本発明の第4の面によれば、第1の半導体からなり、第2の半導体によって実質的に取り囲まれている細長い導電手段を製造する方法が提供される。本方法は、基体内に溝を製造するステップと、この溝の底領域内に第1の半導体を堆積さ

せるステップとを含み、本方法は、導電手段に関連付けられ、導電手段を通る電荷キャリアの流れを制御するようになっている電極を設けるステップを更に含んでいる。

【0038】

以下に、添付図面を参照して本発明の実施の形態を詳細に説明する。

【0039】

(実施の形態)

図示したトランジスタは、GaAsの基体2を備え、基体2の上に大きいメサ及び小さいメサからなる二重メサ構造4が形成されている。メサ4のトップ領域の実質的に中央に溝6が設けられている。基体2及びメサ4はGaAsで形成され、メサ4の領域8は重くドーピングされて(n^+)導電性バックゲートが作られ、電極23との良好な電気接触を保証している。メサ4のトップ部分10は p^- ドーピングされている。

【0040】

溝6はAlGaAs 12 (第2の半導体)の層で裏張りされ、AlGaAs 12の底領域は、その中に設けられた三日月形の領域GaAs 14 (第1の半導体)を有している。三日月形の領域GaAs 14は、電荷キャリアを輸送することができる導電手段を形成し、導電バンドエネルギーはGaAsより低い。さらなるAlGaAsの層(第3の半導体)13が、GaAs 14の三日月領域のトップに設けられている。この構造は、AlGaAs (実効的に2つのヘテロ接合を与える)によって取り囲まれたGaAs 14のワイヤーを形成し、ワイヤー内のキャリアを二次元内にハード閉じ込めする。

【0041】

第1のゲート16及び第2のゲート18を第3の半導体のトップ上の領域内に設け、細長い導電手段内を流れる電荷キャリアを制御してワイヤー内のキャリアを三次元ソフト閉じ込めすることができる。2つの電極16、18の間に形成される領域17は、半導体のエネルギーバンド内のピークによって電荷キャリアを保持することができる量子ドットを形成する。

【0042】

図 2 に示すように、絶縁酸化物 20 が基体を絶縁するために設けられている。大きいメサ上の絶縁酸化物 20 内に間隙 22 が設けられ、ゲート電極 23 を n^+ 表層 / バックゲートに接続できるようにしている。このゲート電極は、ゲート電極 16、18 と共に導電手段内の電子 / キャリアの流れを制御するように働く。

【 0 0 4 3 】

ソース電極 24 は導電手段の第 1 の端におけるオーム接触によって形成され、ドレイン電極 26 も導電手段の他方の端におけるオーム接触によって形成されている。

【 0 0 4 4 】

以下に図 4 を参照して、提唱した製造計画を説明する。図 4 a は未処理 GaAs 基体 28 を示しており、この基体上に n^+ 表層 29 をほぼ $5 \mu m$ の深さに成長させる。図 4 b に示すように、硫黄 / 過酸化物異方性エッチングを使用して V 溝 30 - 38 をエッチングする（フォトリソグラフィの後に）。図 4 に関連して説明する方法は、図 2 に示すような p^- 領域を設けるステップを含んでいないことに注目されたい。

【 0 0 4 5 】

溝 30 - 38 を形成させた後に、ほぼ $0.2 \mu m$ の深さの名目的にはドーブされていない AlGaAs の層（第 2 の半導体）39 を基体 28 の表面上に成長させ、それによって溝 30 - 38 をも裏張りする（図 4 d）。溝 30 - 38 は、AlGaAs の層が、溝の縁壁と揃う（111）面を実質的に有するように配列されている。

【 0 0 4 6 】

次いで、第 1 の半導体である GaAs の幾つかの単層 40 を、AlGaAs 39 の層上に成長させる（図 4 e）。この層は可能な限り薄くすることが望ましいが、現時点において実際に考えられるのは、実質的に $1 nm$ 乃至 $30 nm$ の深さを有することである。この成長プロセスの物理現象は、AlGaAs 39 の（100）面上に優先的に成長し（GaAs の拡散に起因する）、（111）面においては成長速度が遅いことである。従って、AlGaAs は溝 30 - 38 の側壁に揃った（111）面を有するように配列されているから、GaAs は溝 30 - 38 の底領域及

びトップ表面だけに優先的に成長する。この構造は、ワイヤー状導電手段を構成する。

【 0 0 4 7 】

導電手段は量子ワイヤーと考えることができ、このワイヤーは実質的に $0.7\mu\text{m}$ 乃至 $2\mu\text{m}$ の範囲内の、多分実質的に $0.7\mu\text{m}$ 乃至 $15\mu\text{m}$ の範囲内の長さを有することができる。欠陥の影響を減少させるためには、一般的には、ワイヤーの長さを減少させるのが良い。

【 0 0 4 8 】

この場合にはAlGaAsである第3の半導体の層41を、導電手段のトップ上に成長させる。従って、導電手段（第1の半導体）は、二次元ハード閉じ込めを与えるAlGaAsによって取り囲まれる。これを図4fに示す。

【 0 0 4 9 】

ドーピングされていないAlGaAsの薄い層15（AlGaAsの酸化を防ぐ酸化防止層）を、第3の半導体13のトップ上に成長させる。明瞭化のために、この層は図4には示されていないが、図3に示されている。

【 0 0 5 0 】

次いで、溝30-38を互いに絶縁する必要がある、一連のメサ構造がこれを達成するために使用される。図2及び図4hの断面図から理解できるように、各メサは2つの断面、即ち小さい断面と大きい断面とを有している。

【 0 0 5 1 】

最初に、小さい直径のメサ42を形成させる（図4g）。これらの各メサの幅はほぼ $15\mu\text{m}$ であり（しかし、実質的に $10-15\mu\text{m}$ の範囲内であることができる）、各々の深さは n^+ 層29への道程の下方部分までである。次に、大きいメサ44を形成させるが、このメサの深さは n^+ 層29を越えて基体28内へ下方まで伸びている（図4h）。 n^+ 層の深さは臨界的ではないが、当分野に精通していれば解るように、 n^+ 層の深さを大きくする程、大きいメサを n^+ 層までエッチングして除去しなければならない材料が多くなる。

【 0 0 5 2 】

メサ42、44を形成した後に、露出された基体上に、及び大きいメサの実質

的な量の上に絶縁酸化物 4 6 を堆積させる（図 4 i）。しかしながら、大きいメサ上の絶縁酸化物内に間隙 4 8 を残し、 n^+ 領域に接触させることができるようにする（図 2 参照）。

【 0 0 5 3 】

最後に、必要な金属化を行って接点を形成させる。

【 0 0 5 4 】

溝 3 0 - 3 8 の寸法は接点の寸法より遙かに小さく、従って一般的には、溝間の間隔は実際の溝の幅より遙かに大きくしなければならない。これを図 4 e に示す。図 4 e から、溝 3 0 - 3 8 の若干だけが残されていることが解る。多分 10 の溝 3 0 - 3 8 の中の 1 つだけ程度の少ない溝が残されることになるだろう。

【 0 0 5 5 】

当分野に精通していれば、以上に概要を説明した技術を使用すると、単一の溝の中に複数の導電手段（即ち、量子ワイヤー）を形成させ得ることが理解できよう。このような構造を図 5 に示す。AlGaAs の複数の V 溝 5 0 が、それらの底領域内に形成された GaAs 5 2 の領域と共に示されている。これは、複数の導電手段を平行に形成させる技術の 1 つである。複数の導電手段は、互いに水平方向に横並べする（図 5 に示す垂直方向にではなく）ことができる。実際に、導電手段の二次元アレイを形成させることが可能である。

【 0 0 5 6 】

図 6 に示すように、複数の量子ドットを単一量子ワイヤー（即ち、導電手段）に沿って設けることも可能である。ソース 5 4 及びドレイン電極 5 6 は、量子ワイヤー 5 8 の両端に設けられている。一連の対の電極 6 0 - 6 6 がワイヤを横切って設けられている。量子ドット（a - d）は、各電極対間に効果的に形成させることができる。実際に、量子ドットは各電極対（e - g）間に形成させることができる。電荷キャリアは、直列の各ドットを通してゲートすることができる。電荷キャリアは、ワイヤー 5 8 を通して効果的にクロックすることができる。

【 0 0 5 7 】

格子定数が全く異なる半導体材料を 1 つの溝内に成長させて、量子ワイヤーを形成させることができる。ワイヤーは極めて薄いだけでよく、異なる格子定数の

材料の薄い層をエピタキシャル成長させることができる。従って、異なるバンドギャップエネルギーレベルを有するワイヤーの材料及び溝の材料を有するように選択することができる。例えば、我々は、実質的に 0.3 eV またはそれ以上、 0.5 eV またはそれ以上、 1.0 eV またはそれ以上のバンドギャップエネルギーレベルの差を付着させることができた。一般的に言えば、この差は可能な限り大きくすることが望ましく、そのようにすれば、量子ワイヤー内の電子の閉じ込めが増加し、高い動作温度がもたらされる。

【 0 0 5 8 】

当分野に精通していれば、一般的に、ある材料の層を、大きい格子ミスマッチが存在する別の材料の上に成長させると、成長させた層内に多数の欠陥がもたらされることが理解されよう。しかしながら、このトランジスタ内の成長させた層は比較的薄いので、大きい格子ミスマッチの程度を許容することができる。

【図面の簡単な説明】

【図 1】

本発明によるトランジスタの平面図である。

【図 2】

図 1 のデバイスの A - A 矢視断面図である。

【図 3】

図 2 に B でマークされた領域の拡大図である。

【図 4】

図 1 乃至 3 のデバイスを製造する諸ステップの若干を示す図である。

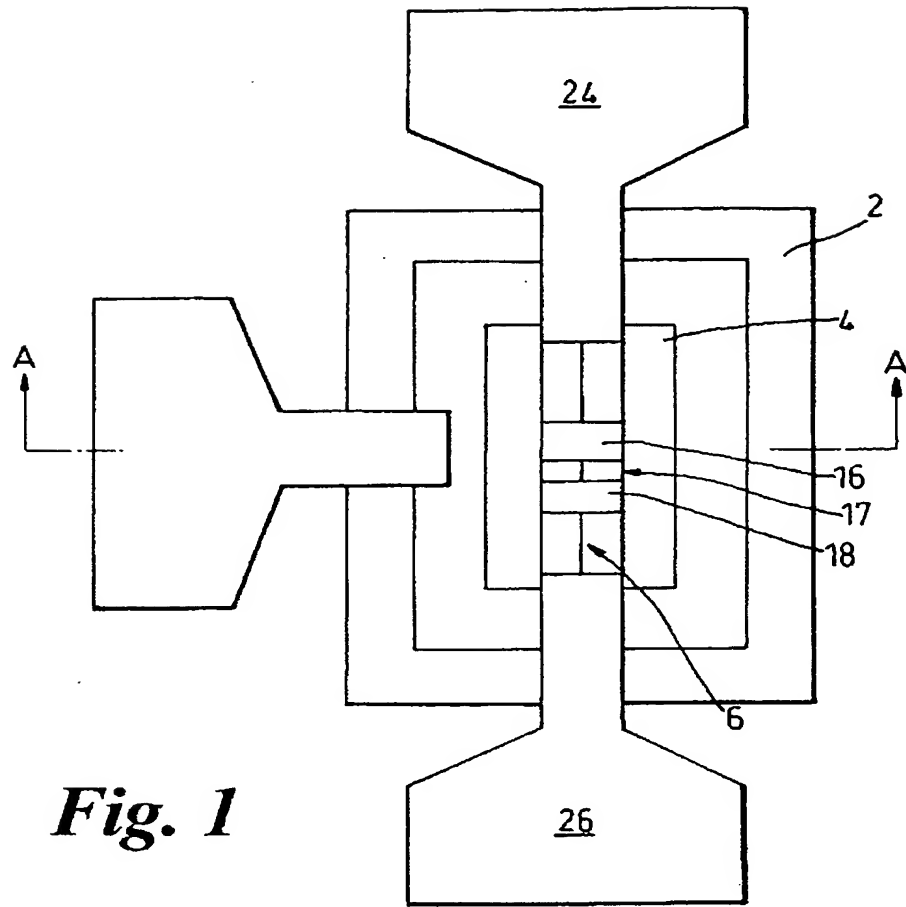
【図 5】

複数の導電手段が互いに垂直に設けられている部分の断面図である。

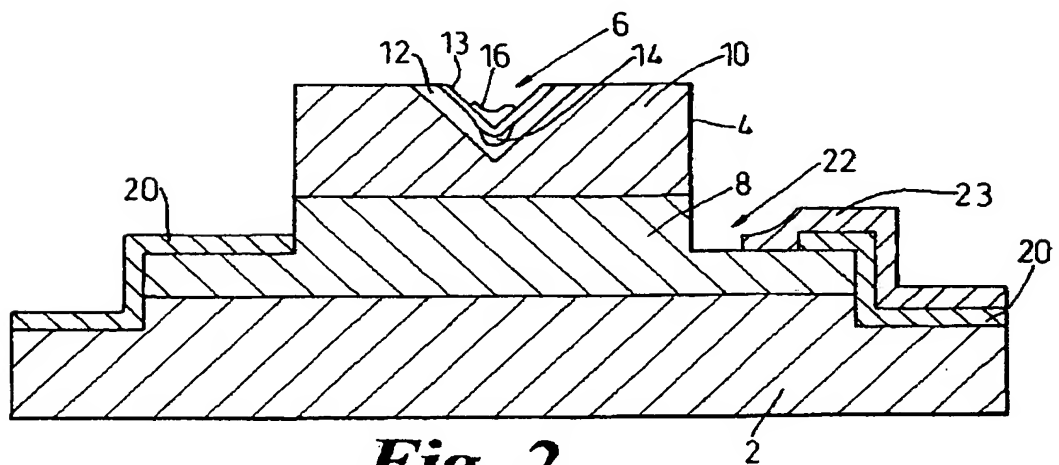
【図 6】

量子ワイヤーに沿って形成された複数の量子ドットを示す図である。

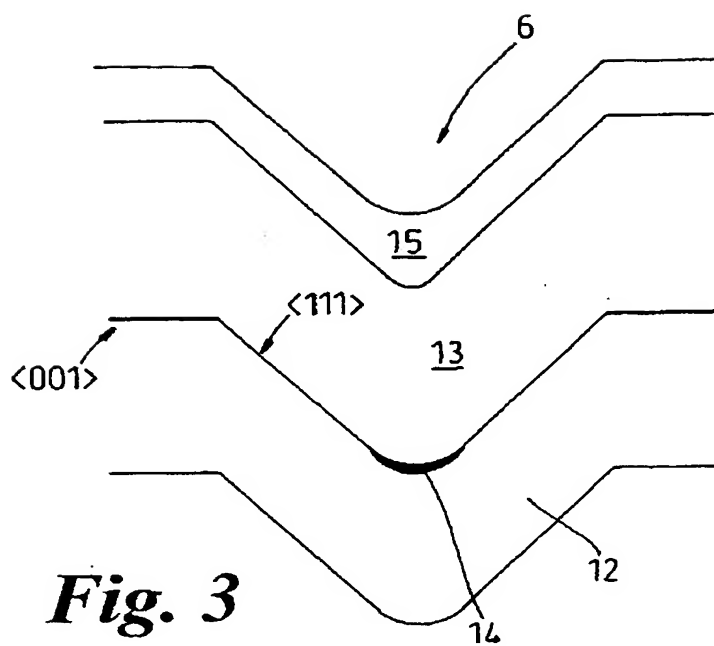
【図 1】

*Fig. 1*

【図 2】

*Fig. 2*

【 図 3 】



【 図 4 a 】

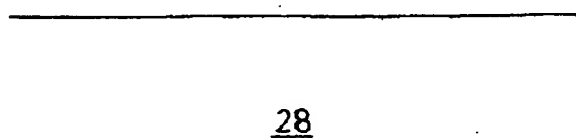


Fig. 4a

【 図 4 b 】

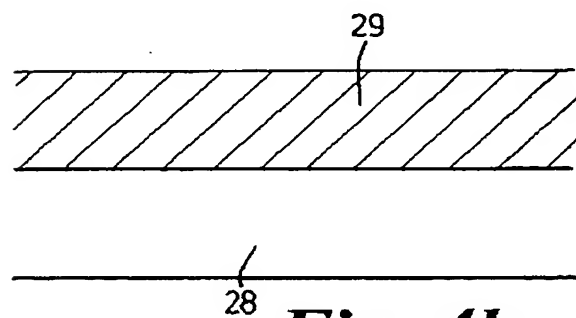
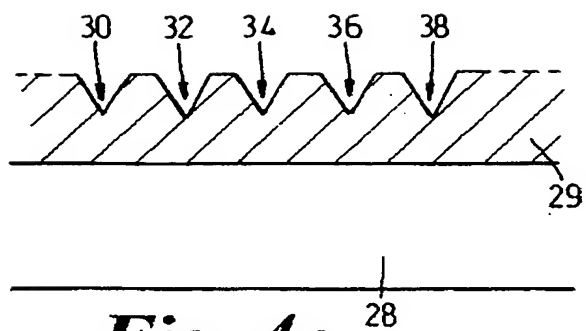
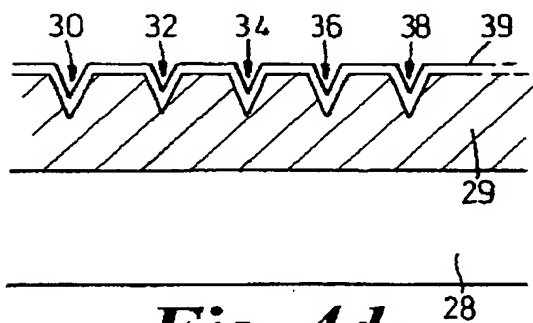


Fig. 4b

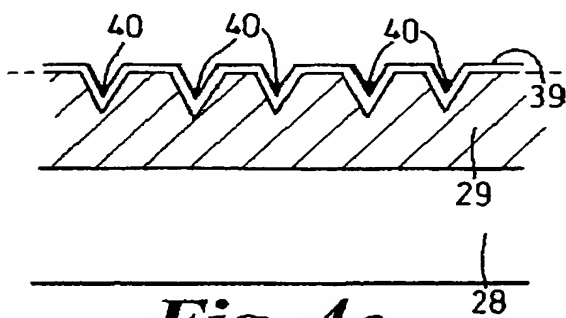
【図 4 c】

*Fig. 4c*

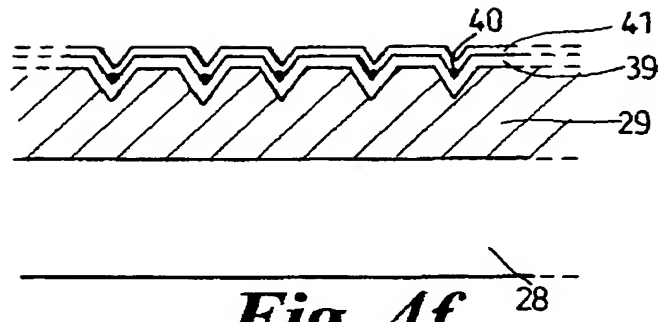
【図 4 d】

*Fig. 4d*

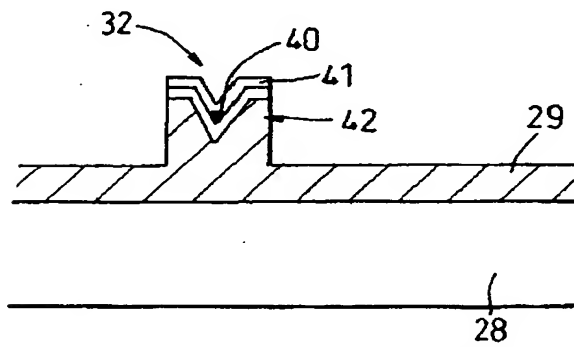
【図 4 e】

*Fig. 4e*

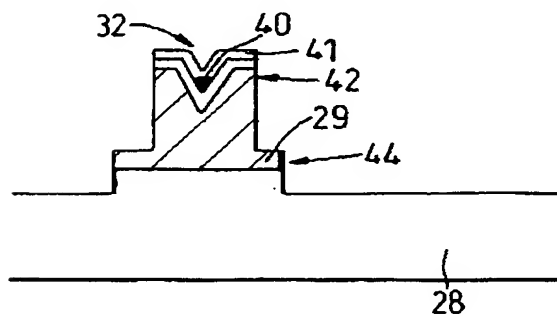
【図 4 f】

**Fig. 4f**

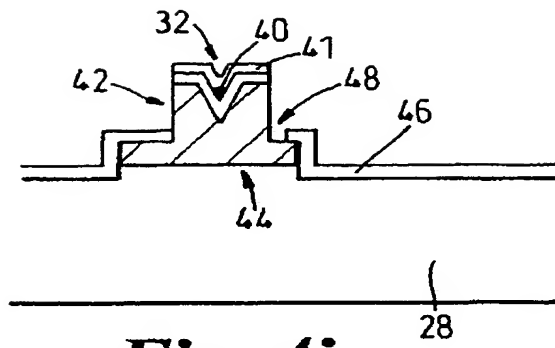
【図 4 g】

**Fig. 4g**

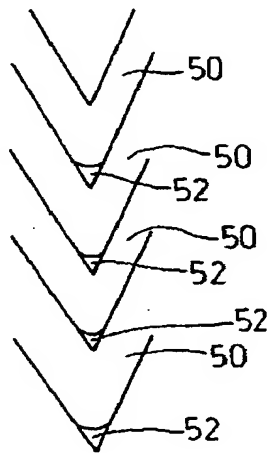
【図 4 h】

**Fig. 4h**

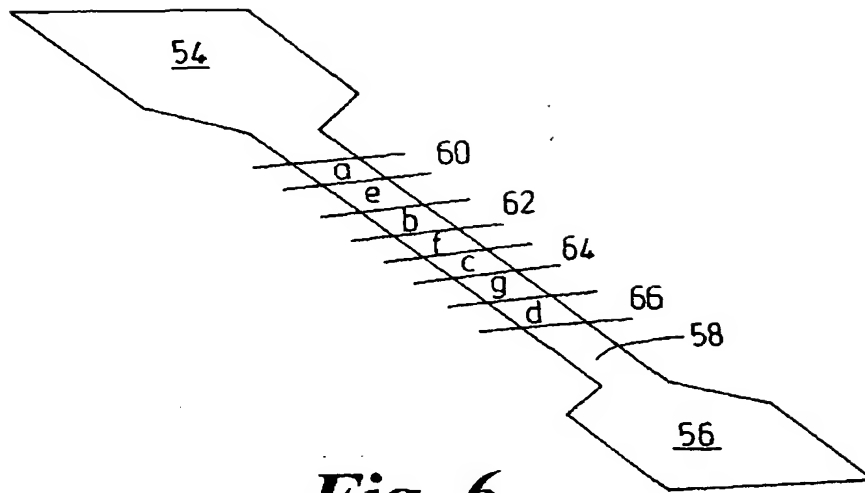
【 図 4 i 】

**Fig. 4i**

【 図 5 】

**Fig. 5**

【 図 6 】

**Fig. 6**

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International Application No.
PCT/GB 99/01940

A. CLASSIFICATION OF SUBJECT MATTER		
IPC 6 H01L29/772 H01L29/812 H01L29/205 H01L21/335 H01L21/20		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
IPC 6 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claims No.
X	EP 0 386 388 A (IBM CORP) 12 September 1990 (1990-09-12)	1-4, 6, 7, 9, 10, 15, 16, 21-23, 25-27, 32, 33, 38, 39
Y	column 5, line 3 - column 8, line 50; figures 1-3	5, 8, 11-14, 17-20, 24, 28-31, 34-37
- / -		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understate the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "Z" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
1 October 1999		13/10/1999
Name and mailing address of the ISA European Patent Office, P.O. Box 5516 Patentkan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax (+31-70) 340-3016		Authorized officer Morvan, D

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

International Application No
PC1/GB 99/01940

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	<p>WANG X-L ET AL: "FLOW RATE MODULATION EPITAXY OF ALGAS/GAAS QUANTUM WIRES ON NONPLANAR SUBSTRATE" APPLIED PHYSICS LETTERS, vol. 66, no. 12, 20 March 1995 (1995-03-20), pages 1506-1508, XP000500907 ISSN: 0003-6951 page 1507, right-hand column, line 30 -page 1508, left-hand column, line 13; figure 4A</p> <p>----</p>	5, 17-19, 28-31
Y	<p>WO 89 07832 A (BELL COMMUNICATIONS RES ET AL) 24 August 1989 (1989-08-24) page 5, line 2 -page 6, line 17; figures 1-4</p> <p>----</p>	8, 34-36
A	<p>GB 2 295 272 A (TOSHIBA CAMBRIDGE RES CENTER) 22 May 1996 (1996-05-22) page 2, line 25 -page 4, line 15 page 6, line 4 -page 8, line 9; figures 1-3</p> <p>-----</p>	11, 20, 37
Y	<p>GB 2 295 272 A (TOSHIBA CAMBRIDGE RES CENTER) 22 May 1996 (1996-05-22) page 2, line 25 -page 4, line 15 page 6, line 4 -page 8, line 9; figures 1-3</p> <p>-----</p>	11-14, 20, 24, 37

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/GB 99/01940

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 0386388 A	12-09-1990	CA 2006266 A,C	10-09-1990
		JP 2266514 A	31-10-1990
		US 5037776 A	06-08-1991
WO 8907832 A	24-08-1989	CA 1315865 A	06-04-1993
		US 4974036 A	27-11-1990
		US 5040032 A	13-08-1991
GB 2295272 A	22-05-1996	JP 9051106 A	18-02-1997
		US 5701017 A	23-12-1997

フロントページの続き

(72)発明者 フィリップス ティモシー ジョナサン
イギリス国 ウスターシャー ダブリュー
アール14 3ピーエス マルヴァーン セ
ント アンドリューズ ロード ディイー
アールエイ マルヴァーン (番地なし)

Fターム(参考) 5F102 FB10 GB01 GC01 GJ05 GQ03
GR01 GR06 GV07 HC01 HC16